

**CAMPUS TIMÓTEO**

**DISCIPLINA:** Arquitetura e Organização de Computadores III

**CÓDIGO:** G07AOCO3.01

**Início:** 03/2025

**Carga Horária:** Total: 60 horas-aula      Semanal: 04 aulas      Créditos: 04

**Natureza:** Teórica

**Área de Formação - DCN:** Profissionalizante

**Competências/habilidades:** C06, C08, C09

**Departamento que oferta a disciplina:** DECOMTM

**EMENTA**

Fundamentos de projeto e análise quantitativos de arquiteturas. Exploração de paralelismo em nível de instrução e em nível de dados: *pipeline* superescalar, GPUs, arquiteturas SIMD e vetoriais. Paralelismo em nível de *threads*.

<b>Curso</b>	<b>Período</b>	<b>Eixo</b>	<b>Obrigatória</b>	<b>Optativa</b>
Engenharia de Computação	5º	Fundamentos de Engenharia de Computação		X

**INTERDISCIPLINARIDADES**

<b>Prerrequisitos:</b> Arquitetura e Organização de Computadores II
<b>Correquisitos:</b>

<b>Objetivos:</b> A disciplina deverá possibilitar ao estudante
1 Conhecer técnicas avançadas de implementação e projeto de arquiteturas de computadores.
2 Analisar quantitativamente diferentes possibilidades de implementação de recursos que acelerem o desempenho ou promova economia de energia em arquiteturas modernas.
3 Estudar técnicas avançadas de exploração de paralelismo em nível de instruções tais como o <i>pipeline</i> superescalar e máquinas VLW.
4 Conhecer arquiteturas de GPU e sua utilização em computação gráfica e inteligência artificial.
5 Aprender sobre como NPUs podem acelerar a execução de aplicações de inteligência artificial.
6
7
8

<b>Unidades de ensino</b>		<b>Carga Horária Horas-aula</b>
1	Introdução ao projeto de arquiteturas avançadas.	2
2	Custo versus desempenho versus consumo.	2
3	Previsão dinâmica de desvios.	4
4	Escalonamento dinâmico de instruções.	4
5	Execução especulativa.	8
6	Despacho múltiplo de instruções com <i>pipeline</i> superescalar.	8
7	Explorando paralelismo no nível de dados.	8
8	Arquiteturas de GPU.	8
9	GPU e inteligência artificial.	8
10	Arquiteturas de NPU – <i>Neural Processing Unit</i> .	8
11		
12		
<b>Total:</b>		<b>60</b>

**Bibliografia Básica**

1	HENNESSY, John L.; PATTERSON, David A. Arquitetura de computadores: uma abordagem quantitativa. Tradução de Daniel Vieira. Revisão de Raul Sidnei Wazlawick. 4. ed. Rio de Janeiro: Elsevier, 2008. 494 p. ISBN 978-85-352-2355-2
2	PATTERSON, David A.; HENNESSY, John L. Computer organization and design: the hardware/software interface. Colaboração de Perry Alexander. 5. ed. Waltham, MA: Morgan Kaufmann, c2014. xxii, 575, [194] p., il. ISBN 9780124077263
3	HENNESSY, John L.; PATTERSON, David A. Computer Organization and Design ARM Edition: The Hardware Software Interface. Morgan Kaufmann, 2016. 720. ISBN-10 0128017333

**Bibliografia Complementar**

1	TANENBAUM, Andrew S.; AUSTIN, Todd. Organização estruturada de computadores. Tradução de Daniel Vieira. Revisão de Wagner Luiz Zucchi. 6. ed. São Paulo: Pearson, c2013. xvii, 605 p., il. ISBN 9788581435398
2	STALLINGS, William. Arquitetura e organização de computadores. 10. ed. São Paulo: Pearson, c2018. xvi., 209 p., il. ISBN 9788543020532
3	PARHAMI, Behrooz. Arquitetura de computadores: de microcomputadores a supercomputadores. São Paulo: McGraw-Hill, 2008. xvi, 560 p., il. ISBN 978-85-7726-025-6
4	NULL, Linda; LOBUR, Julia. Princípios básicos de arquitetura e organização de computadores. 2. ed. Porto Alegre: Bookman, 2010. 821 p., il. (Ciência da computação). ISBN 9788577807376
5	VAHID, Frank. Digital design: with RTL design, VHDL, and Verilog. 2. ed. New Jersey: John Wiley & Sons, c2011. 575 p. ISBN 9780470531082

**PLANO DE ENSINO N° 2265/2025 - CECOMTM (11.51.22)**

*(Nº do Protocolo: NÃO PROTOCOLADO)*

*(Assinado digitalmente em 29/10/2025 21:34 )*

*RODRIGO GAIBA DE OLIVEIRA*

*COORDENADOR - TITULAR*

*CECOMTM (11.51.22)*

*Matrícula: ####924#3*

Visualize o documento original em <https://sig.cefetmg.br/documentos/> informando seu número: 2265, ano: 2025, tipo: **PLANO DE ENSINO**, data de emissão: 29/10/2025 e o código de verificação: 09f78e422c